

# AMBA<sup>®</sup> 3 AHB-Lite 协议

v1.0

中文版

**ARM<sup>®</sup>**

版权© 2001, 2006 ARM 有限公司 版权所有  
ARM IHI 0033A  
Xingguangyi 翻译

XGY 2917 西安- 1 -

## 目录

第一章 简介 .....	4
1.1 关于本协议 .....	4
1.1.1 Master .....	5
1.1.2 Slave .....	5
1.1.3 解码器 .....	6
1.1.4 多路转换器 .....	6
1.2 操作 .....	6
1.3 多层 AHB-Lite .....	7
第二章 信号描述 .....	8
2.1 全局信号 .....	8
2.2 Master 信号 .....	8
2.3 Slave 信号 .....	9
2.4 解码器信号 .....	9
2.5 多路转换器信号 .....	10
第三章 传输 .....	10
3.1 基本传输 .....	10
3.2 传输类型 .....	12
3.3 锁定传输 .....	14
3.4 传输大小 .....	15
3.5 Burst 操作 .....	16
3.5.1 Burst 在一个 BUSY 传输后终止 .....	17
3.5.2 早期 Burst 终止 .....	18
3.5.3 Burst 举例 .....	18
3.6 等待传输 .....	22
3.6.1 在传输等待期间改变传输类型 .....	23
3.6.2 在等待状态期间的地址更改 .....	26
3.7 保护控制 .....	29
第四章 总线互连 .....	29
4.1 地址解码 .....	30
4.1.1 默认值 .....	30
4.2 总线互连 .....	30
第五章 Slave 响应信号 .....	31
5.1 Slave 传输响应 .....	32
5.1.1 传输完毕 .....	32
5.1.2 传输挂起 .....	32
5.1.3 ERROR 响应 .....	33

---

第六章 数据总线 .....	34
6.1 数据总线 .....	35
6.1.1 HWDATA .....	35
6.1.2 HRDATA .....	35
6.1.3 大小端模式 .....	36
6.2 数据总线宽度 .....	36
6.2.1 在一个宽总线上调用窄 <b>Slave</b> .....	37
6.2.2 在窄总线上调用宽 <b>Slave</b> .....	37
6.2.3 在宽总线上调用 <b>Master</b> .....	38
第七章 时钟和复位 .....	38
7.1 时钟和复位要求 .....	39
7.1.1 时钟 .....	39
7.1.2 复位 .....	39

# 第一章 简介

## 1.1 关于本协议

AMBA AHB-Lite 是面向高性能的可综合设计，提供了一个总线接口来支持 Master 并提供高操作带宽。

AHB-Lite是为高性能，高频率系统设计的，特性包括：

- Burst传输
- 单边操作
- 非三态
- 宽数据位，包括64、128、256、512和1024位

最普通的 AHB-Lite 从器件是内存器件，外部存储器接口和高带宽外围器件。虽然低带宽外围器件可以连接到 AHB-Lite，但从系统性能考虑，应当连接到 APB 总线上，可以通过 APB 桥接实现。

图 1-1 是一个具有一个 Master 的 AHB-Lite 的系统，包括一个 Master 和三个 Slave。利用内部逻辑生成了一个地址解码器和一个 Slave-to-Master 多路转换器。

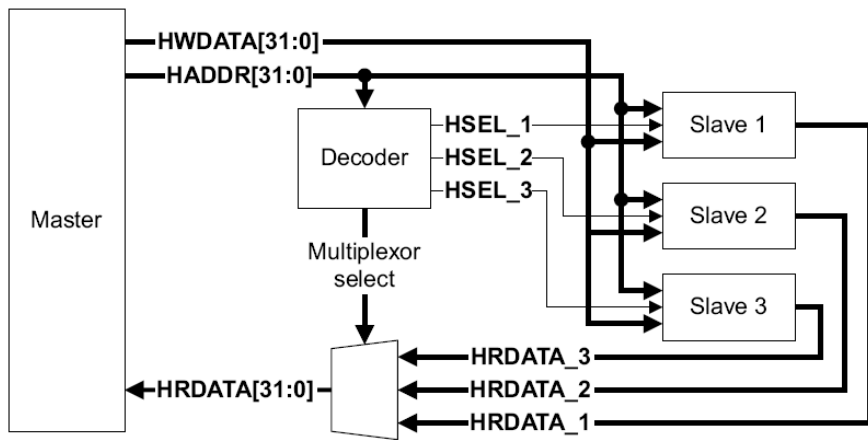


图 1-1 AHB-Lite 方框图

### 1.1.1 Master

AHB-Lite Master 提供地址和控制信息来标识读写操作。图 1-2 显示了一个 AHB-Lite Master 接口。

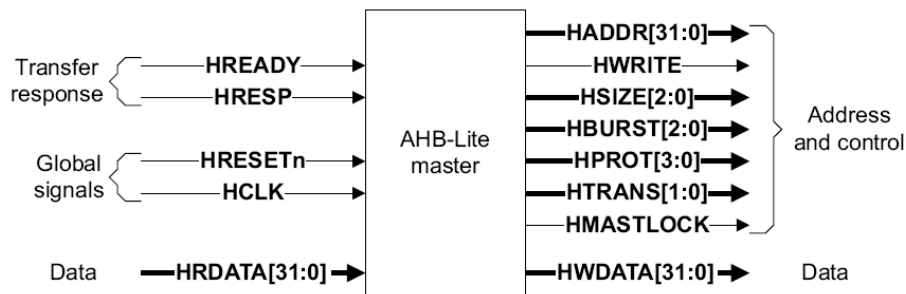


图 1-2 Master 接口

### 1.1.2 Slave

AHB-Lite Slave 响应系统中由 Master 发起的传输。Slave 使用从解码器引出的选择信号 HSELx 来控制对总线传输的响应。Slave 信号返回 Master 的信号包括：

- 成功
- 失败
- 等待数据传输

图 1-3 是 AHB-Lite Slave 的接口：

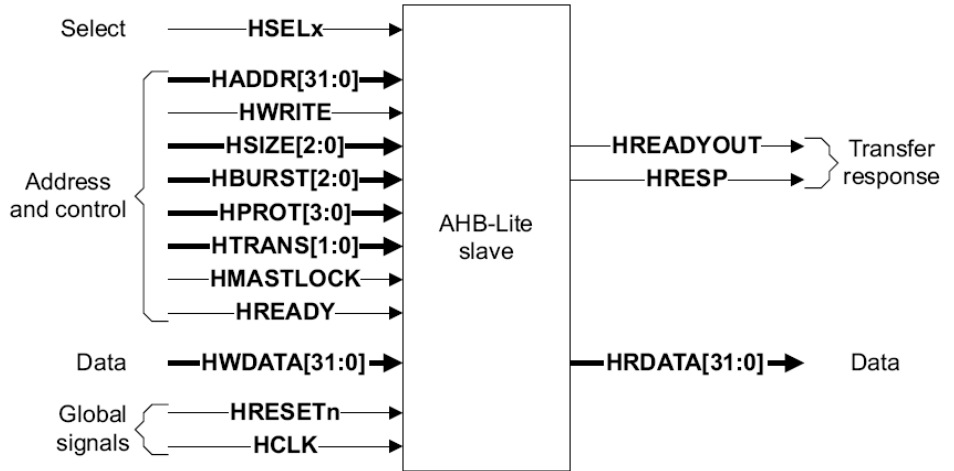


图 1-3 Slave interface

### 1.1.3 解码器

该部件对地址进行解码，用来提供一个选择信号标识那个 Slave 进行传输，该部件也提供控制信号进行多路复用控制。

### 1.1.4 多路转换器

Slave-to-Master 多路转换器是 Slave 到 Master 的读数据总线和响应控制信号转换的必要部件。解码器提供控制多路转换器的控制信号。

## 1.2 操作

Master 通过驱动地址和控制信号开始一个传输。这些信号提供了关于传输地址、传输方向、传输位宽的信息以及是否来自 Burst 传输。传输可以是：

- 单一传输
- 递增爆发，地址边界不回卷
- 回卷 Burst 传输，在特殊的地址边界回卷

每个传输包括：

Address phase	地址相位	一个地址和控制周期
Data phase	数据相位	一个或多个数据周期

Slave 无法响应被扩展的地址相位，因为所有的 Slave 必须在指定周期内采样完地址。但是 Slave 可以响应由 Master 通过使用 HREADY 信号扩展的数据相位。HREADY 为低时，将会在传输中插入一个等待状态，从而可使 Slave 有额外的时间来提供或采样数据。

Slave 通过使用 HRESP 来表示传输成功或失败。

### 1.3 多层 AHB-Lite

因为 AHB-Lite 是一个单 Master 总线接口，如果需要多个 Master，就需要一个部件来隔离每个 Master。这就需要有一个仲裁器。

图 1-4 是一个多层 AHB-Lite 系统的例子：

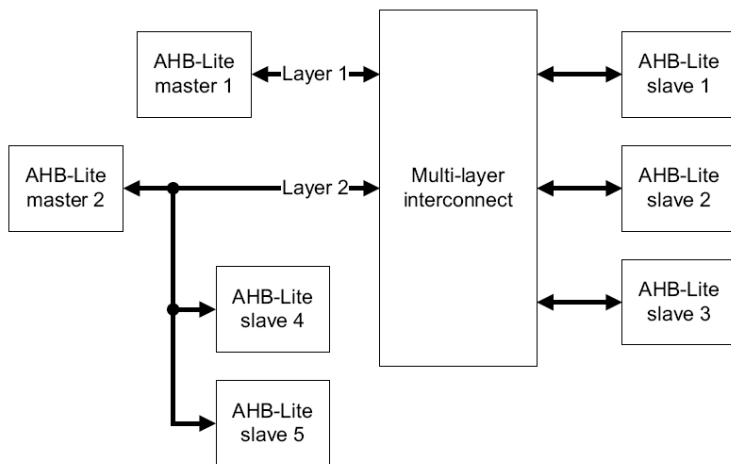


图 1-4 多层AHB-Lite框图

在图 1-4 中，Master1 和 Master2 各自都可以访问 Slaves1、2、3。仲裁器就必须对这三个 Slave 的访问进行控制，Master1 不访问 Slave4 和 5，就不需要仲裁器进行控制，这样可以简化部件的复杂程度。

更多的信息可以参看：《Multi-layer AHB Overview》。

## 第二章 信号描述

### 2.1 全局信号

表 2-1 列举出了本协议中使用的全局信号：

表 2-1 全局信号

名称	目的地	描述
<b>HCLK</b>	Clock source	总线时钟，所有的信号与该时钟的上升沿相关
<b>HRESETn</b>	Reset controller	总线复位信号，低有效

### 2.2 Master 信号

表 2-2 列出了由 Master 生成的信号：

表 2-2 Master 信号

名称	目的地	描述
<b>HADDR[31:0]</b>	Slave 解码器	32-bit 系统地址总线
<b>HBURST[2:0]</b>	Slave	Burst 类型指示，支持固定长度的 4、8 和 16 拍
<b>HMASTLOCK</b>	Slave	当为高时，表示当前传输是锁定序列的一部分。与地址和控制信号具有相同时序。
<b>HPROT[3:0]</b>	Slave	保护控制信号提个额外的关于总线访问的信息，主要用在一些需要调用某种级别保护的 Slave 模块中。



		该信号表示是否传输是一个指令或数据访问，或者传输是特权方式或用户方式。如果 Master 是内存管理单元，则用来指定是高速缓存还是缓冲器
<b>HSIZE[2:0]</b>	Slave	传输大小，最大可达 1024 位
<b>HTRANS[1:0]</b>	Slave	指示当前传输类型，可以是： <ul style="list-style-type: none"> <li>• IDLE</li> <li>• BUSY</li> <li>• NONSEQUENTIAL</li> <li>• SEQUENTIAL.</li> </ul>
<b>HWDATA[31:0]</b>	Slave	在写操作时，写数据总线从 Master 传输数据到 Slave。推荐最小的数据总线宽度为 32。但是可以扩展为更高的操作带宽。
<b>HWRITE</b>	Slave	表示传输方向。高表示写传输，低表示读传输。该信号与地址信号具有相同的时序，但在 Burst 传输中，必须保持常值。

## 2.3 Slave 信号

表 2-3 列出了由 Slave 生成的信号：

表 2-3 Slave 信号

名称	目的地	描述
<b>HRDATA[31:0]</b>	Multiplexor	在读操作时，读数据总线将数据从选定的 Slave 传送到转换器，转换器再传送到 Master。 数据总线最小的宽度建议为 32 位，但也可以通过扩展使用更高的位宽。
<b>HREADYOUT</b>	Multiplexor	当为高时， <b>HREADYOUT</b> 信号表示传输在总线上结束。该信号可以通过拉低来对传输进行扩展。
<b>HRESP</b>	Multiplexor	传输响应，如果有传输通过转换器，将向 Master 提供传输状态信息。 当为低时， <b>HRESP</b> 信号表示传输状态正常。当为高时，表示传输状态错误。

## 2.4 解码器信号

表 2-4 列出了由解码器生成的信号：

表 2-4 解码器信号

名称	目的地	描述
<b>HSELx</b>	Slave	每个 AHB-Lite Slave 拥有自己的选择信号 <b>HSELx a</b> ，该信号表示当前传输的传输对象。当 Slave 被选中，它就必须监视 <b>HREADY</b> 信号，以确保在前一个总线传输完成后，马上开始当前传输。

**提示**

通常解码器也为多路转换器提供 HSELx 选择信号，或从 Slave 到 Master 的由该信号驱动的信号/总线。

## 2.5 多路转换器信号

表 2-5 列出了由多路转换器生成的信号：

表 2-5 多路转换器信号

名称	目的地	描述
<b>HRDATA[31:0]</b>	Master	读数据总线，由解码器选择
<b>HREADY</b>	Master Slave	当为高时，提示 Master 和所有的 Slave，先前的传输完成。
<b>HRESP</b>	Master	传输响应，由解码器选择

# 第三章 传输

## 3.1 基本传输

AHB-Lite 传输包含两个相位：

- Address 保持一个 HCLK 周期，除非被前一个总线传输进行了扩展
- Data 或许需要若干 HCLK 周期。使用 HREADY<sub>s</sub> 信号来控制完成传输所需要的时钟周期

HWRITE<sub>c</sub> 控制数据传输的方向：

- HWRITE 为高时，表示是一个写传输，Master 向写数据总线 HWDATA[31:0] 发送数据
- HWRITE 为低时，表示是一个读传输，Slave 必须向读数据总线 HRDATA[31:0] 发送数据

最简单的传输包含一个地址周期和一个数据周期。图 3-1 是一个简单的读传输，图 3-2 是一个简单的写传输：

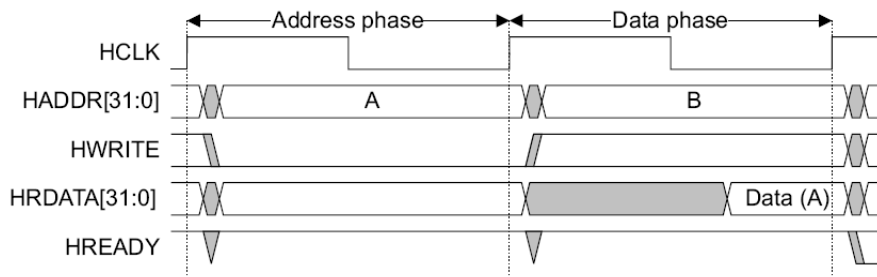


图 3-1 读传输

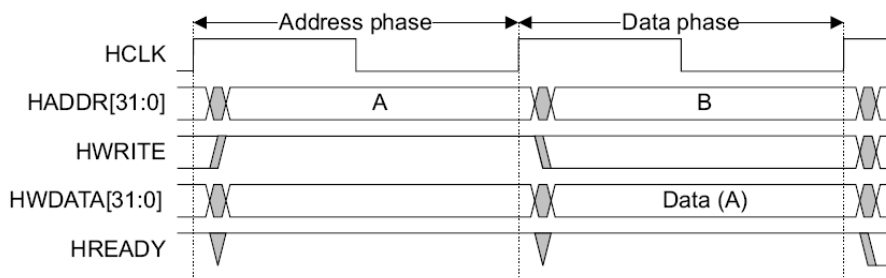


图 3-2 写传输

简单传输，无等待状态：

1. 在 HCLK 上升沿后，Master 驱动地址和控制信号到总线上；
2. Slave 在下一个 HCLK 上升沿采样到了地址和控制信息；
3. 当 Slave 采样到了地址和控制后，便可以开始驱动 HREADY 做出响应，Master 将在 HCLK 第三个上升沿采样到该响应。

该例子解释了地址相位和数据相位是如何在不同的时钟周期传输的，地址相位发生在数据相位的前期，这样如果 Slave 有足够的响应时间，就可以设计为流水线结构来提高传输性能。

Slave 可以插入等待状态到任何传输中。图 3-3 是一个具有两个等待状态的读传输：

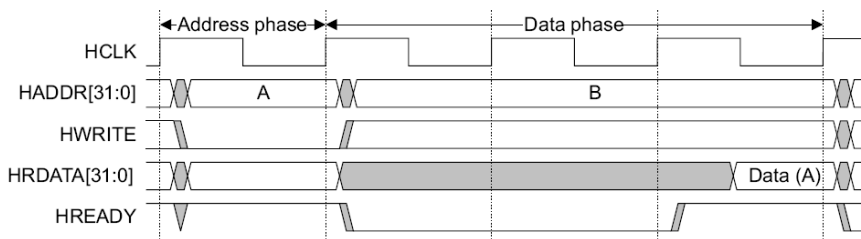


图 3-3 读传输，具有等待状态

图 3-4 是具有一个等待状态的写传输：

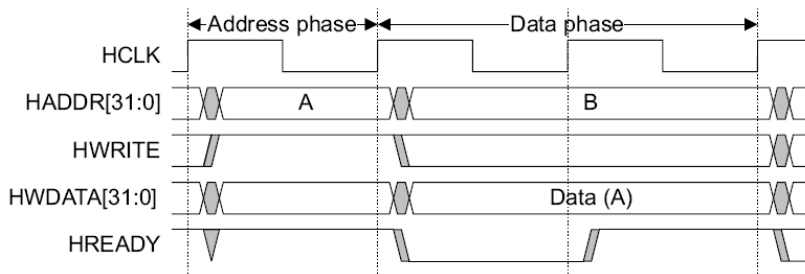


图 3-4 写传输，具有等待状态

提示

在写操作中，Master 必须在整个扩展周期中保持数据稳定  
在写传输中，Slave 不必在传输快要结束时提供有效数据。

当一个传输用这种方法进行了扩展，会对下一个传输的地址相位扩展带来副作用。

图 3-5 显示了三个传输，分别传输到三个不同的地址 A, B 和 C，其中地址 C 进行了扩展。

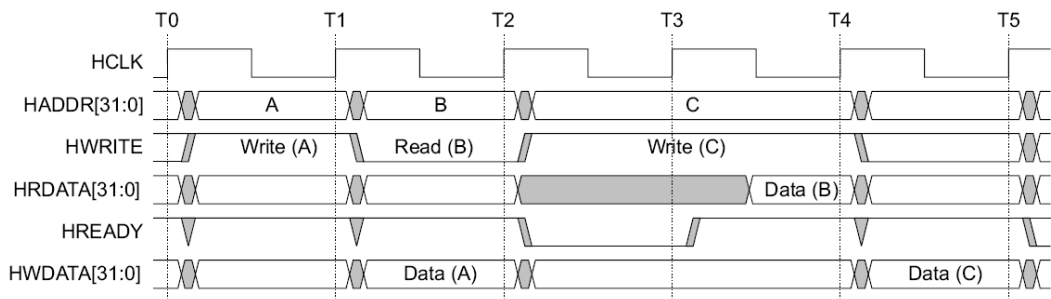


图3-5 多路传输

在图 3-5 中：

- 传送到地址 A 和 C 无等待状态
- 传送到地址 B 具有一个等待状态
- 传送到地址 B 的数据相位扩展影响到了传送到地址 C 的地址相位扩展

## 3.2 传输类型

传输可以被分为四种类型,由 HTRANS[1:0]。进行控制，见表 3-1：

表 3-1 传输类型

HTRANS[1:0]	类型	描述
b00	IDLE	表示没有数据传输请求。推荐 Master 利用 IDLE 传输终止锁定传输。 Slaves 必须始终提供一个零等待状态 OKAY 的响应
b01	BUSY	BUSY 传输类型可以使 Master 插入 IDLE 周期到 Burst 传输的中间。该传输类型表示 Master 正在进行 Burst 传输，无法立刻执行下一个传输。 当 Master 使用 BUSY 传输类型时，地址和控制信号必须对应 Burst 中的下一个传输。 仅未定义长度的 Burst 传输可以具有 BUSY 传输作为 Burst 传输的最后周期。 Slaves 必须始终为 BUSY 传输提供零等待状态 OKAY 响应。
b10	NONSEQ	表示一个单独传输或 Burst 传输的第一个传输 地址和控制信号与前面的传输无关。 单一传输可以被看做是长度为 1 的突发传输，因此传输类型是 NONSEQUENTIAL（非连续的）
b11	SEQ	突发传输中剩余的传输其类型即为 SEQUENTIAL，并且地址与先前的传输有关 控制信息与前一个传输相同 地址等于先前传输的地址+传输大小，单位 byte，传输大小由信号 HSIZE[2:0]定义。如果是回卷 Burst，则地址回卷。

图 3-6 显示了 NONSEQ, BUSY 和 SEQ 传输类型：

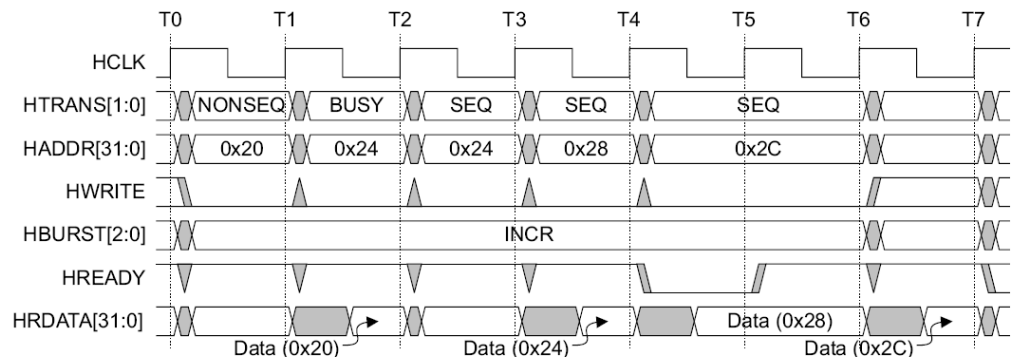


图 3-6 传输类型例子

在图 3-6 中：

- T0-T1** 开始进行使用一个 NONSEQ 传输的 4 拍读取操作；
- T1-T2** Master 无法执行第 2 拍，  
所以插入一个 BUSY 传输以延迟第 2 拍开始。

	Slave 为第 1 拍提供读数据;
<b>T2-T3</b>	Master 现在准备开始第 2 拍, 一个 SEQ 传输被定义。 Master 将忽略 Slave 提供的任何数据;
<b>T3-T4</b>	Master 执行第 3 拍传输, Slave 为第 2 拍提供读取数据;
<b>T4-T5</b>	Master 执行最后 1 拍传输, Slave 无法结束传输; 通过使用 HREADY 来插入一个等待状态。
<b>T5-T6</b>	Slave 为第 3 拍提供读取数据;
<b>T6-T7</b>	Slave 为最后一拍提供读取数据。

### 3.3 锁定传输

如果 Master 要求锁定访问, 必须置位 HMASTLOCK 信号。该信号告知其它 Slave 当前的传输序列不允许被打断。

典型的锁定传输应用是保持信号量的完整性, 以确保处理器在 SWP 指令期间 Slave 不执行其它操作。

图 3-7 是 HMASTLOCK 信号在 SWP 指令中的使用范例:

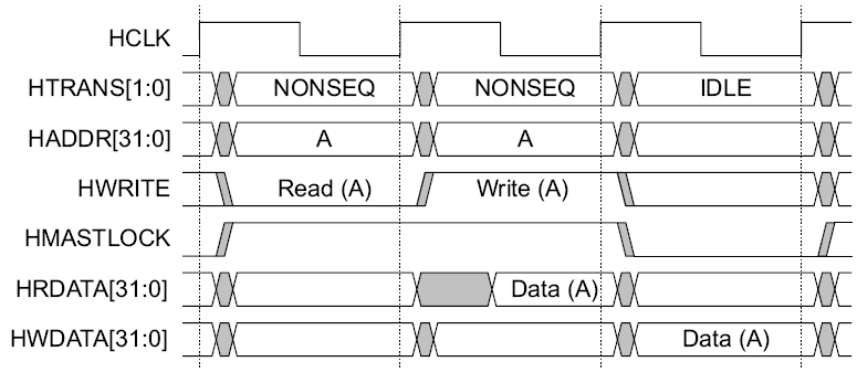


图 3-7 锁定传输

**提示**

在一个锁定传输之后，建议让 Master 插入一个 IDLE 传输。

大部分 Slave 不必需要 HMASTLOCK，因为它们仅传输所收到的数据，但在多个 Master 系统中，有可能被多个 Master 访问，就必须调用 HMASTLOCK 信号。

### 3.4 传输大小

HSIZE[2:0]定义了传输数据的大小。

表 3-2 列出了可能的传输大小：

表 3-2 传输大小编码

HSIZE[2]	HSIZE[1]	HSIZE[0]	Size(bits)	Description
0	0	0	8	Byte
0	0	1	16	Halfword
0	1	0	32	Word

0	1	1	64	Doubleword
1	0	0	128	4-word line
1	0	1	256	8-word line
1	1	0	512	-
1	1	1	1024	-

### 提示

传输大小必须小于或等于数据总线位宽。例如，一个 32 位数据总线，HSIZE 只能是 b000, b001 或 b010。

在 HBURST 中使用 HSIZE 时,需要确定地址回卷边界。

HSIZE 信号必须严格保持与地址总线时序相同，在 Burst 传输期间必须保持常值。

## 3.5 Burst 操作

本协议中定义了 4、8 和 16 拍 Burst、未定义长度 Burst 以及单一传输。并支持递增和回卷 Burst：

- 递增 Burst 访问连续位置，每个传输地址都是前一个地址的递增
- 回卷 Burst 当地址到达边界时回卷。地址边界由拍数和传输大小的乘积计算

例如：一个 4 拍 Burst 将在 16byte 地址边界回卷，所以如果传输起始地址是 0x34，则四个传输地址分别是：0x34, 0x38, 0x3C 和 0x30。HBURST[2:0]控制着 Burst 类型。表 3-3 列出了可能的 Burst 类型：

表 3-3 Burst 信号编码



HBURST[2:0]	Type	Description
b000	SINGLE	单个Burst
b001	INCR	未定义长度递增Burst
b010	WRAP4	4拍回卷Burst
b011	INCR4	4拍递增Burst
b100	WRAP8	8拍回卷Burst
b101	INCR8	8拍递增Burst
b110	WRAP16	16拍回卷Burst
b111	INCR16	16拍递增Burst

Master 不允许开始一个跨越 1KB 地址边界的递增 Burst。

Master 可以通过下述方法执行单一传输：

- 单一 Burst
- 长度为 1 的未定义长度 Burst

#### 提示

Burst 大小表示拍数，而不是传输的字节数。要计算传输的数据量，需要将拍数和每拍的数据量相乘（由 HSIZE[2:0] 定义）。

Burst 中所有的传输必须与地址边界对齐，等于传输的大小。例如，你必须对齐 word 传输到 word 地址边界(HADDR[1:0] = b00)，半字传输对齐到半字地址边界(HADDR[0] = 0)。IDLE 传输的地址同样必须对齐，否则在仿真中总线监控器将报告严重错误。

### 3.5.1 Burst 在一个 BUSY 传输后终止

当一个 Burst 开始后，Master 如果在 Burst 的下一个传输前需要更多的时间，则可以使用 BUSY 传输。在一个未定义长度的 Burst 中，Master 可以插入 BUSY 传输，然后判断有没有更多的数据传输需求。这样 Master 就可以通过执行一个 NONSEQ 或 IDLE 传输来结束未定义长度的 Burst 传输。

本协议不允许 Master 使用 BUSY 传输来结束固定长度 Burst，包括：

- 递增类型的 INCR4, INCR8 和 INCR16
- 回卷类型的 WRAP4, WRAP8 和 WRAP16

固定长度 Burst 类型必须由 SEQ 传输终止。

Master 不允许在一个单一 Burst 后立即执行 BUSY 传输，必须是一个 IDLE 传输或 NONSEQ 传输。

### 3.5.2 早期 Burst 终止

Burst 可以被以下情况终止：

- Slave ERROR 错误响应
- 多层互连终止

#### Slave ERROR 响应

如果 Slave 提供 ERROR 响应，则 Master 可以取消 Burst。但这不是强制要求，Master 可以继续传输完 Burst 剩余的部分。

如果 Master 没有将 Burst 传输完毕，可以不需要重建该传输。例如如果 Master 仅完成了 8 拍 Burst 中的前 3 拍，则当下一次访问该 Slave 时不必接着传完后 5 拍。

#### 多层互连终止

尽管 Master 不能提早结束一个 Burst 传输，但 Slave 必须设计为如果 Burst 没有完成也能工作正常。

在多层 Master 系统中，互连部件可以终止一个 Burst 以便另外一个 Master 可以访问该 Slave。

### 3.5.3 Burst 举例

#### 4 拍回卷 Burst WRAP4

图 3-8 是一个使用 4 拍回卷 Burst 的写传输，在第一个传输中具有一个等待状态。

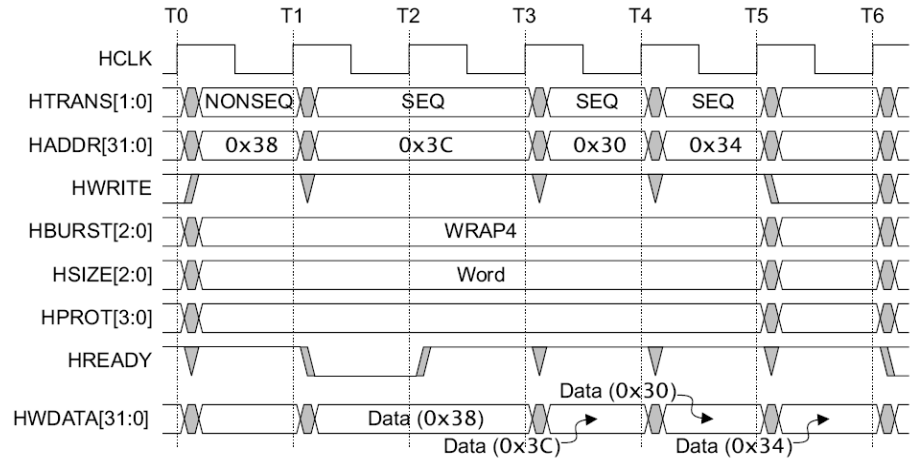


图 3-8 4拍回卷Burst

因为该 Burst 是一个 4 拍 Burst，所以在地址 16byte 边界回卷，0x3C 下来是地址 0x30。

#### 4 拍递增 Burst, INCR4

图 3-9 是一个使用 4 拍递增 Burst 进行读传输的例子，在第一个传输中具有一个等待状态。在这种情况下地址不回卷，0x3C 下来是地址 0x40。

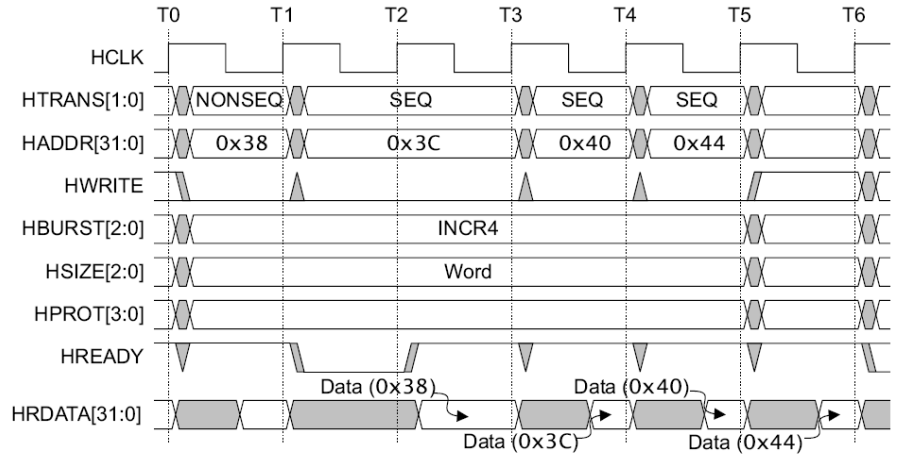


图 3-9 4 拍递增 Burst

### 8 拍回卷 Burst, WRAP8

图 3-10 显示的是一个使用 8 拍回卷读传输 Burst 的例子：

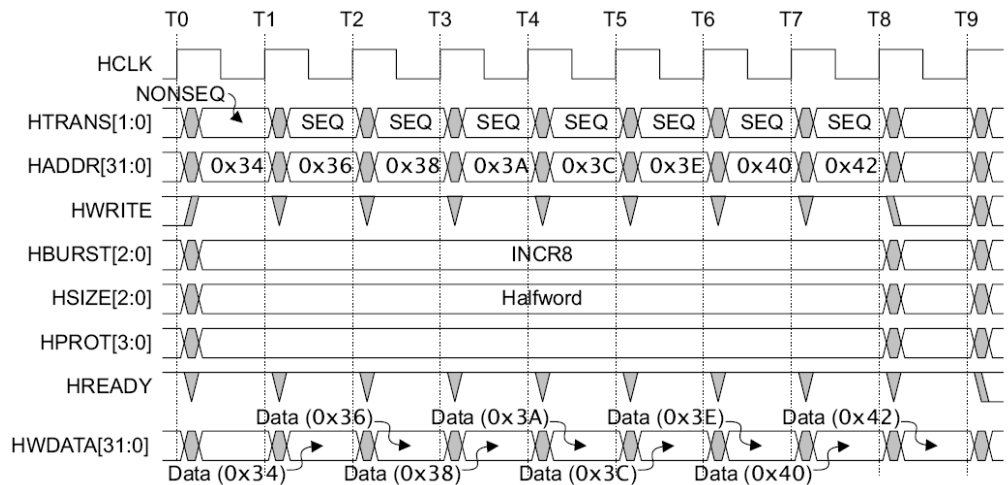


图 3-10 8拍回卷Burst

由于该 Burst 是一个 8 拍回卷字节传输，地址在 32byte 边界回卷，地址 0x3C 接下来是 0x20。

### 8 拍递增 Burst, INCR8

图 3-11 显示的是一个使用 8 拍递增 Burst 的写传输的例子：

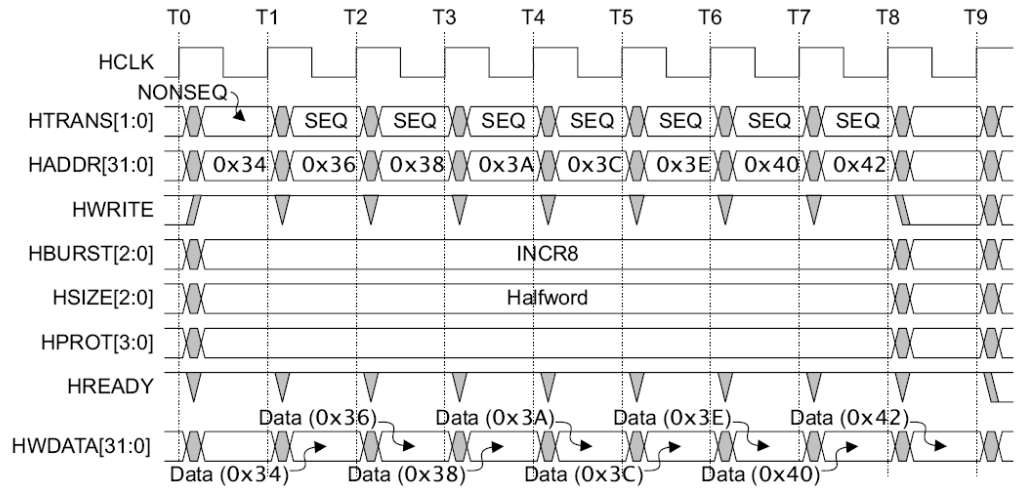


图 3-11 8拍递增Burst

该 Burst 使用半字传输，因此地址递增为 2。由于是递增 Burst，所有地址持续增加到 16byte 边界。

未定义长度 Burst, INCR

图 3-12 显示的是未定义长度递增 Burst:

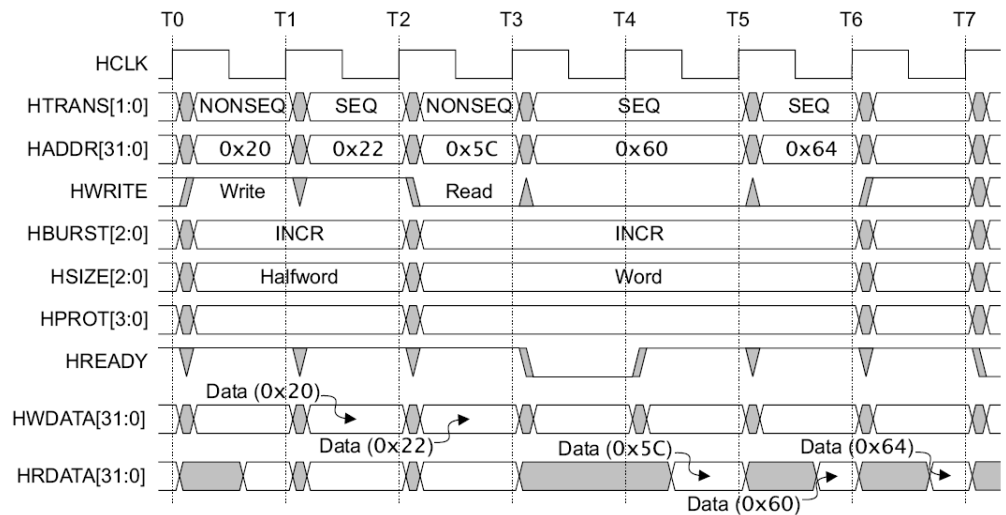


图 3-12 未定义长度Burst

图 3-12 显示了两个 Burst:

- 第一个 Burst 是一个写，由两个半字组成，传输起始地址是 0x20。该传输地址递增量为 2
- 第二个 Burst 是读，由三个字组成，起始地址为 0x5C.该传输地址递增量为 4

### 3.6 等待传输

Slaves 使用 HREADY 来插入等待状态，以获得更多的时间提供或采样数据。在等待传输期间，Master 被限制改变传输类型和地址。

### 3.6.1 在传输等待期间改变传输类型

当 Slave 需要等待状态时，Master 不能够改变传输状态，除非是以下几种情况：

- IDLE 传输
- BUSY 传输，固定长度 Burst
- BUSY 传输，未定义长度 Burst

#### IDLE 传输

在等待传输期间，Master 可以允许从 IDLE 传输改变成 NONSEQ 传输。当 HTRANS 传输类型改变到 NONSEQ 传输类型，Master 必须保持 HTRANS 为常值，直到 HREADY 变为高。

图 3-13 显示的是 SINGLE Burst 的一个等待传输，传输类型由 IDLE 改变为 NONSEQ。

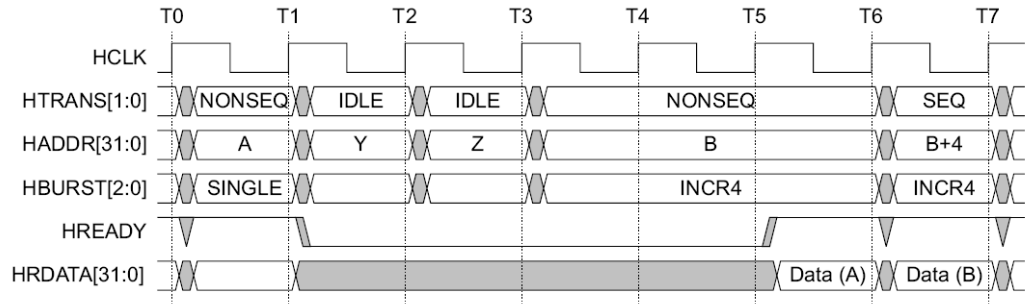


图 3-13 等待传输，IDLE到NONSEQ

在图 3-13 中：

- T0-T1** Master 发起一个 SINGLE Burst 到地址 A
- T1-T2** Master 插入一个 IDLE 传输到地址 Y  
Slave 通过 HREADY=LOW 来插入一个等待状态
- T2-T3** Master 插入一个 IDLE 传输到地址 Z
- T3-T4** Master 改变传输类型为 NONSEQ，  
并开始一个 INCR4 传输到地址 B
- T4-T6** 因为 HREADY 为低，Master 必须保持 HTRANS 为常值
- T5-T6** HREADY 变为高，表示地址 A 的 SINGLE Burst 完成。  
Master 开始到地址 B 的第一拍。
- T6-T7** 到地址 B 的 INCR4 传输第一拍完成，  
Master 开始到地址 B+4 的下一拍传输，

### BUSY传输，固定长度Burst

在固定长度 Burst 的等待传输期间，Master 被允许将传输类型从 BUSY 改变



到 SEQ。当 HTRANS 传输类型改变到 SEQ 时，Master 必须保持 HTRANS 为常值，直到 HREADY 变为高。

### 提示

由于 BUSY 传输只能插入到一个 Burst 相邻的两拍之间，所以无法应用到 SINGLE Burst 传输中。所以只适用于下述几种 Burst 类型：

- INCR4, INCR8 和 INCR16
- WRAP4, WRAP8 和 WRAP16

图 3-14 显示了一个在固定长度 Burst 中的等待传输，传输类型从 BUSY 改变成 SEQ。

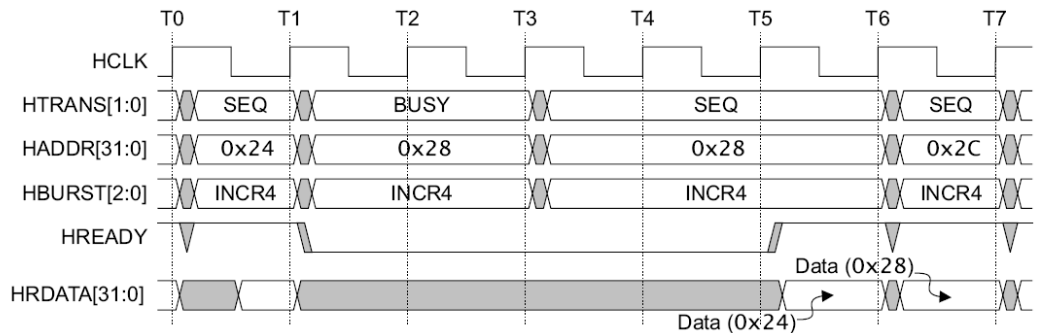


图 3-14 等待传输，BUSY到SEQ，固定长度Burst

在图 3-14 中：

- T0-T1** Master 发起 INCR4 的下一拍到地址 0x24;
- T1-T3** Master 插入一个 BUSY 传输到地址 0x28，  
Slave 通过 HREADY=LOW 插入等待状态;
- T3-T4** Master 改变传输类型为 SEQ，并且开始下一拍到地址 0x28
- T4-T6** 当 HREADY=LOW, Master 必须保持 HTRANS 为常值;
- T5-T6** HREADY 为高，到地址 0x24 的拍完毕;
- T6-T7** 到地址 0x28 的第三拍结束，  
Master 开始到地址 0x2C 的最后一拍。

### BUSY 传输，未定义长度 Burst

在一个未定义长度的 Burst 等待传输 INCR 期间，当 HREADY 为低时，Master 允许将传输类型从 BUSY 到任何其它类型。如果变为一个 SEQ 传输，则 Master 继续，但如果是 IDLE 或 NONSEQ 传输，则终止。

图 3-15 显示了未定义长度 Burst 的等待传输，传输类型由 BUSY 改变为 NONSEQ。

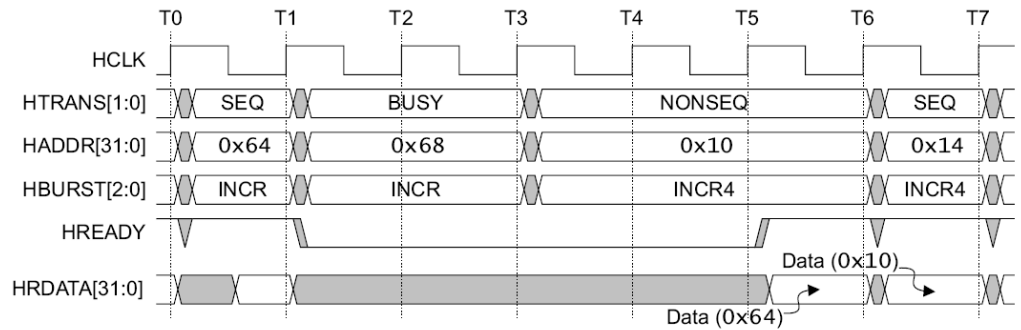


图 3-15 等待传输，BUSY到NONSEQ，未定义长度Burst

在图 3-15 中：

- T0-T1** Master 发起 INCR Burst 的下一拍到地址 0x64;
- T1-T3** Master 插入一个 BUSY 传输到地址 0x68，  
Slave 通过 HREADY=LOW 插入一个等待状态;
- T3-T4** Master 改变传输类型到 NONSEQ，  
并且发起一个新的 Burst 到地址 0x10。
- T4-T6** 当 HREADY 为低时，Master 必须保持 HTRANS 为常值；  
未定义长度 Burst 通过 HREADY 为高完成传输，  
Master 开始第一拍到地址 0x10;
- T5-T6** 到地址 0x10 的 INCR4 传输第一拍完成，  
Master 开始到地址 0x14 的下一拍。

### 3.6.2 在等待状态期间的地址更改

当 Slave 请求等待状态，Master 只能更改一次地址，除非以下情况：

- 在 IDLE 传输期间
- 在 ERROR 响应之后

### 在 IDLE 传输期间

在一个等待传输期间，Master 被允许为 IDLE 传输改变地址。当 HTRANS 传输类型改变为 NONSEQ，Master 必须保持地址为常值，直到 HREADY 为高。

图 3-16 显示了一个 SINGLE Burst 的等待传输，在 IDLE 传输期间改变了地址。

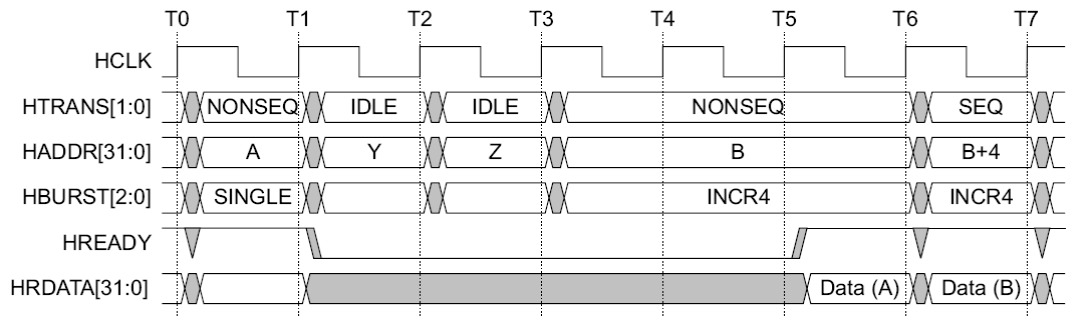


图 3-16 在等待传输中改变地址，具有一个IDLE传输

在图 3-16 中：

- |              |  |
|--------------|--|
| <b>T0-T1</b> | Master 发起一个 SINGLE Burst 到地址 A；  |
| <b>T1-T2</b> | Master 插入一个 IDLE 传输到地址 Y，<br>Slave 通过 HREADY=LOW 插入一个等待状态；                 |
| <b>T2-T3</b> | Master 插入一个 IDLE 传输到地址 Z；  |
| <b>T3-T4</b> | Master 改变传输类型为 NONSEQ，<br>并且发起一个 INCR4 传输到地址 B。<br>直到 HREADY 变为高，地址不能够再改变； |
| <b>T5-T6</b> | HREADY 变为高，到地址 A 的 SINGLE Burst 完毕，<br>Master 开始到地址 B 的第一拍；                |
| <b>T6-T7</b> | 到地址 B 的第一拍完成，Master 开始到地址 B+4 的下一拍   |

### ERROR响应之后

在等待传输期间，如果 Slave 给出了一个 ERROR 响应，Master 可以被允许在 HREADY 为低的时候改变地址。

图 3-17 显示了一个等待传输，在一个 ERROR 响应后更改了地址。

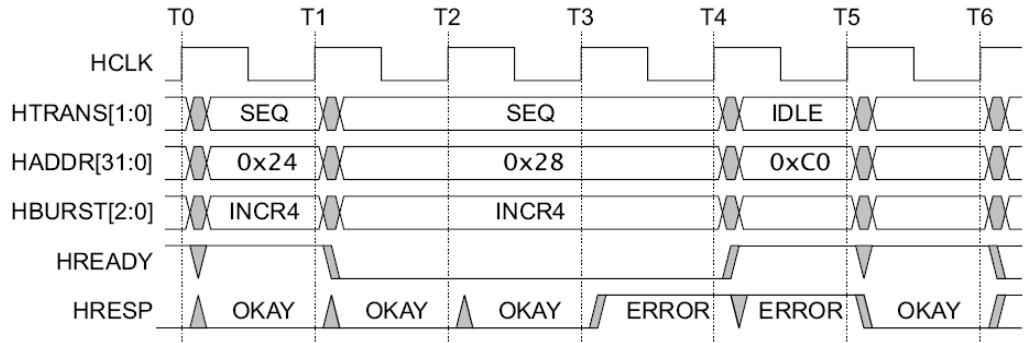


图 3-17 ERROR之后，在等待传输期间改变地址

在图 3-17 中：

- T0-T1** Master 发起 Burst 的一拍传输到地址 0x24;
- T1-T3** Master 发起 Burst 的一拍传输到地址 0x28，  
Slave 响应 OKAY;
- T3-T4** Slave 响应 ERROR;
- T4-T5** Master 改变当前传输类型为 IDLE，  
并且允许在 HREADY 为低时改变地址。  
Slave 完成 ERROR 响应;
- T5-T6** 地址为 0xC0 的 Slave 响应 OKAY。

### 3.7 保护控制

保护控制信号 HPROT[3:0],提供总线访问的额外信息, 主要用作某些级别的保护。

该信号表示传输是否是:

- 操作码读取或数据访问
- 特权访问模式或用户访问模式

如果 Master 是内存管理单元, 则指定是高速缓存还是缓冲, 表 3-4 列出了 HPROT 信号的意义。

表 3-4 保护信号编码

HPROT[3] Cacheable	HPROT[2] Bufferable	HPROT[1] Privileged	HPROT[0] Data/Opcode	描述
-	-	-	0	指令操作
-	-	-	1	数据访问
-	-	0	-	用户访问
-	-	1	-	特权访问
-	0	-	-	无缓冲器
-	1	-	-	可缓冲
0	-	-	-	无缓存
1	-	-	-	可缓存

#### 提示

一些 Master 无法生成正确的保护信息。ARM 公司建议:

- Master 设置 HPROT 为 b0011
- Slave 不使用 HPROT

HPROT 控制信号具有与地址总线相同的时序, 但是在一个 Burst 传输过程中必须保持常值。

## 第四章 总线互连

## 4.1 地址解码

中央地址解码器为总线上的每一个 Slave 提供选择信号 HSEL<sub>x</sub>。选择信号是高阶的地址信号，简单的地址解码可以避免复杂的解码逻辑并提供高速操作。

Slave 在 HREADY 为高时（表示当前传输完成），仅采样 HSEL<sub>x</sub>、地址和控制信号。在某种情况下，HSEL<sub>x</sub> 可能在 HREADY 为低时也置位，但是选择的 Slave 会改变，同时传输完成。

单个 Slave 可分配的最小地址范围是 1KB。所有的 Master 执行的递增传输地址不能超过 1KB。以免 Burst 通过地址解码边界。

图 4-1 显示了解码器生成的 HSEL<sub>x</sub> 信号：

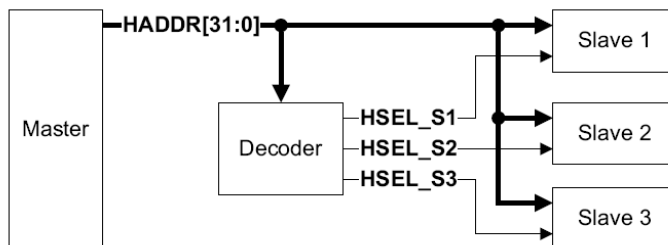


图 4-1 Slave 选择信号

### 4.1.1 默认值

如果一个系统没有包含一个完整的具有初始值的内存，就必须为不存在的地址提供默认值。

如果 NONSEQUENTIAL 或 SEQUENTIAL 传输试图访问不存在的地址，默认情况下 Slave 会反馈一个 ERROR 响应。

IDLE 或 BUSY 传输访问不存在的地址会返回一个零等待状态的 OKAY 响应。

## 4.2 总线互连

AHB-Lite 协议使用一个中央读数据多路转换器互连机制。Master 驱动地址和控制信号到所有的 Slave，由解码器选择对应的 Slave。任何来自 Slave 的响应，都通过读数据多路转换器发送到 Master。

图 4-2 显示的是具有三个 Slave 的多路转换器互连结构图：

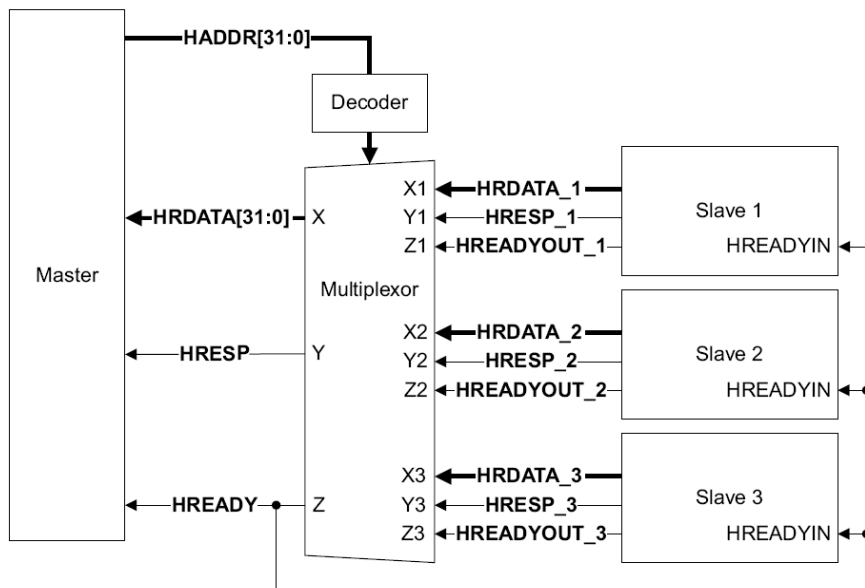


图 4-2 多路转换器互连

## 第五章 Slave响应信号

## 5.1 Slave 传输响应

Master 开始一个传输，Slave 控制着传输过程，Master 无法取消已经开始的传输。

Slave 必须提供一个响应来表示传输状态。该状态由 HRESP 信号提供，表 5-1 列出了 HRESP 的状态。

表 5-1 HRESP 信号

HRESP	响应	描述
0	OKAY	传输成功完毕或需要额外的周期完成传输。 HREADY 信号指示是传输挂起还是传输完毕
1	ERROR	在传输过程中发生了错误，并需要通知 Master。 错误响应需要两个周期，在第二个周期中 HREADY 置位

表 5-2 显示了 HRESP 和 HREADY 信号组合的完整的传输响应意义：

表 5-2 传输响应

HRESP	HREADY	
	0	1
0	传输挂起	成功传输完毕
1	ERROR 响应，第一周期	ERROR 响应，第二周期

这表示 Slave 可以通过下面三种方式完成传输：

- 立即完成传输
- 插入等待状态来提供额外时间完成传输
- 发送错误响应来指示传输失败

### 5.1.1 传输完毕

当 HREADY 置高并且 HRESP 为 OKAY 时，表示传输完毕。

### 5.1.2 传输挂起



通常 Slave 使用 HREADY 来在传输的数据相位中插入一定量的等待状态。然后通过 HREADY 置高并回复一个 OKAY 响应来表示传输完毕。

当 Slave 在完成响应前插入等待状态时，它必须置 HRESP 为 OKAY。

### 提示

通常情况下，每个 Slave 插入的等待状态必须具有预定的最大数目，这样可以计算出访问总线的等待时间。

推荐 Slave 最大只能插入 16 个等待状态，防止某个访问将总线锁死。但是一些特殊器件除外，例如串行启动 ROM。这种器件仅在系统启动时运行，对系统的影响可以忽略不计。

### 5.1.3 ERROR 响应

Slave 通过使用 ERROR 响应来表示传输错误，通常表示的是一个禁止错误，比如对只读的内存地址进行写操作。

OKAY 响应耗用一个周期，但 ERROR 响应需要两个周期。要开始一个 ERROR 响应，Slave 驱动 HRESP 为高，然后驱动 HREADY 为低来获得额外的一个周期。在下一个周期，HREADY 驱动为高来结束传输，HRESP 仍旧保持为高来表示 ERROR。

之所以需要两个周期来进行响应是考虑到总线的流水线结构。以使 Master 在下次传输开始前有时间取消下一次访问，并驱动 HTRANS[1:0]为 IDLE。

如果 Slave 需要更多的周期来提供 ERROR 响应，则可以在传输开始前插入额外的等待状态。在这期间，HREADY 为低且响应必须为 OKAY。

图 5-1 显示了一个具有 ERROR 响应的传输：

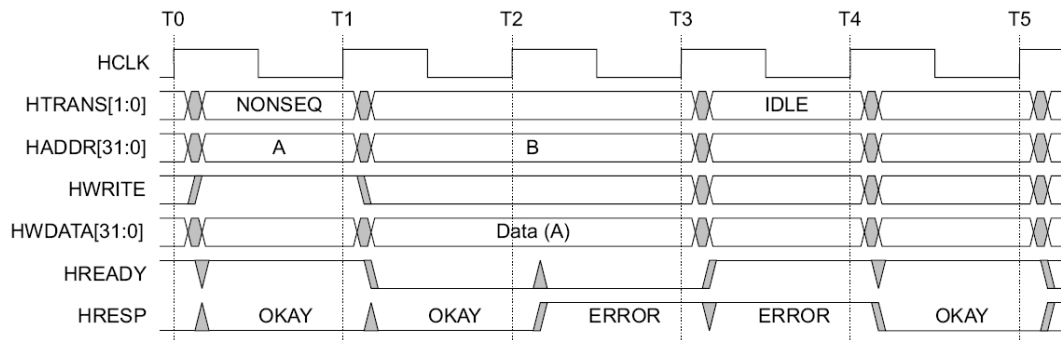


图 5-1 ERROR response

在图 5-1 中：

- T1-T2** Slave 插入一个等待状态，并提供一个 OKAY 响应；
- T2-T3** Slave 发出一个 ERROR 响应。  
这是 ERROR 的第一个周期，因为 HREADY 为低；
- T3-T4** Slave 发出一个 ERROR 响应。  
这是第二个周期，因为 HREADY 为高，  
Master 将传输类型改为 IDLE，  
这将取消对地址 B 的传输，Slave 在 T2 处收到命令；
- T4-T5** Slave 回应一个 OKAY 响应；

## 第六章 数据总线

## 6.1 数据总线

一个 AHB-Lite 系统中具有单独的读写数据总线而不使用三态驱动器。数据总线分为:

- HWDATA
- HRDATA
- 大小端模式

### 6.1.1 HWDATA

Master 在写传输期间驱动写数据总线。如果传输被扩展，Master 必须保持数据正确直到传输完毕，也就是 HREADY 变为高。

传输位宽必须窄于总线宽度。

表 6-1 和表 6-2 列出了在 32 位总线上，哪些位是有效的。

### 6.1.2 HRDATA

在读传输期间，Slave 驱动读数据总线。如果 Slave 扩展得了读传输（HREADY 为低），则 Slave 仅需要在传输的最后一个周期（HREADY 为低）提供有效数据。

如果提供了有效数据，Slave 仅需要在传输完毕后提供 OKAY 响应；ERROR 响应不需要提供有效数据。

表 6-1 列举了在小端系统下 32 位总线的有效位：

表 6-2 列举了在大端系统下 32 位总线的有效位：

表 6-1 32位小端模式下的有效位

传输大小	地址偏移	DATA[31:24]	DATA[23:16]	DATA[15:8]	DATA[7:0]
Word	0	Active	Active	Active	Active
Halfword	0	-	-	Active	Active
Halfword	2	Active	Active	-	-
Byte	0	-	-	-	Active
Byte	1	-	-	Active	-
Byte	2	-	Active	-	-
Byte	3	Active	-	-	-

表 6-2 大端模式下32位总线有效位

传输大小	地址偏移	DATA[31:24]	DATA[23:16]	DATA[15:8]	DATA[7:0]
Word	0	Active	Active	Active	Active
Halfword	0	Active	Active	-	-
Halfword	2	-	-	Active	Active
Byte	0	Active	-	-	-
Byte	1	-	Active	-	-
Byte	2	-	-	Active	-
Byte	3	-	-	-	Active

如果需要，你可以扩展 32 位数据总线以适用于 64 位总线。

### 6.1.3 大小端模式

动态大小端转换不被支持，因为在多数嵌入式系统中这样会导致无意义的资源开销。

推荐仅在设计面向广泛多样的应用时才设计为大端模式。

## 6.2 数据总线宽度

需要提高总线带宽又不更改操作频率的方法之一就是提高总线宽度。

本协议允许 AHB-Lite 数据总线为 8、16、32、64、128、256、512,或者 1024 位。但是推荐最小位宽是 32 位。一般情况下,最大为 256 位就可以满足绝大部分需求。

### 6.2.1 在一个宽总线上调用窄 Slave

图 6-1 显示了如何在 32 位数据总线上操作 64 位总线,仅需要添加以下外部逻辑,而不是进行内部更改,该技术适用于硬件宏。

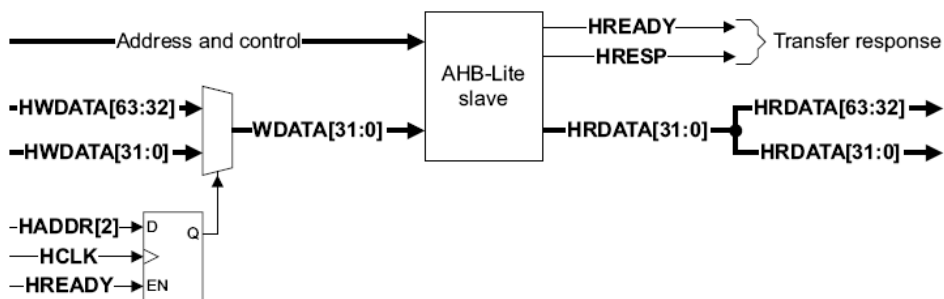


图 6-1 宽总线上的窄 Slave

对于输出,当需要将窄总线转换为宽总线,请按下述方法:

- 复制宽总线上的一半数据
- 使用额外的逻辑来确保仅有相关的一半总线更改,可以减小功耗

一个 Slave 仅能接受与其接口宽度相同的传输,如果 Master 强制传输过宽数据,则 Slave 可以使用 ERROR 响应。

### 6.2.2 在窄总线上调用宽 Slave

你可以通过使用额外的逻辑来实现在窄数据总线上使用宽 Slave。图 6-2 便是一个在窄总线上调用宽 Slave 的例子。

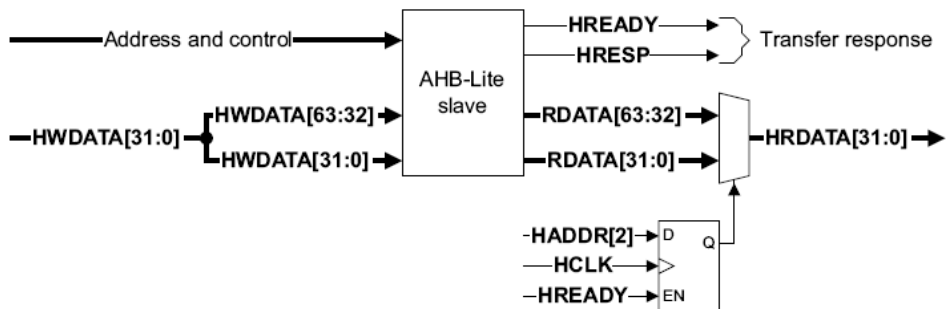


图 6-2 窄总线上的宽 Slave

### 6.2.3 在宽总线上调用 Master

你可以通过修改 Masters 来使器工作在一个宽总线上，Slave 也可以使用相同的方法：

- 多路复用输入总线
- 复制输出总线

提示：

你不能让 Master 在窄总线上使用，除非 Master 内部有相关机制。

## 第七章 时钟和复位

## 7.1 时钟和复位要求

### 7.1.1 时钟

每个AHB-Lite部件使用一个单一的时钟信号**HCLK**。所有的输入信号都在该信号的上升沿采样。所有的输出信号必须在上升沿后改变。

### 7.1.2 复位

复位信号**HRESETn**是所有总线元素的复位信号，低有效，可以进行异步置位，但推荐在**HCLK**信号的上升沿后同步置位。

复位中，所有的**Master**必须确保地址和控制信号处于正确的电平，并且**HTRANS[1:0]**置为**IDLE**；所有的**Slave**必须保证**HREADYOUT**为高。